

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-223755

(43)Date of publication of application : 21.08.1998

(51)Int.Cl.

H01L 21/768
H01L 21/3065

(21)Application number : 09-020266

(71)Applicant : HITACHI LTD

(22)Date of filing : 03.02.1997

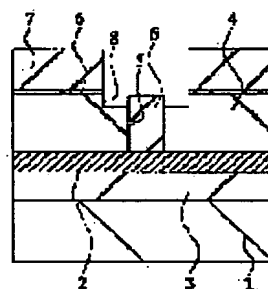
(72)Inventor : UMEZAWA TADASHI

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technique for lessening the parasitic capacitance of a wiring formed through a dual damascene process and improving a hole pattern which connects an upper and a lower wiring together in dimensional accuracy.

SOLUTION: A hole patter 5 which connects an upper and a lower wiring together is bored in a silicon oxide film 4 low in permittivity, an organic coating film 6 is filled in the hole pattern 5, and then a groove pattern 8 is formed on the silicon oxide film 4. As the organic coating film 6 is slower in etching rate than the silicon oxide film 4, the organic coating film 6 is left unremoved like a column, and the hole pattern 5 is kept unchanged in shape and high in dimensional accuracy.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-223755

(43) 公開日 平成10年(1998) 8月21日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/768
21/3065

H 0 1 L 21/90
21/302

B
M

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願平9-20266
(22) 出願日 平成9年(1997) 2月3日

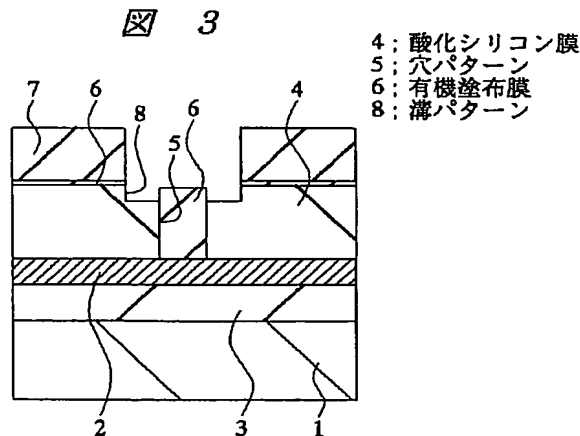
(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 梅澤 唯史
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【要約】

【課題】 デュアルダマシンプロセスによって形成される配線の寄生容量を低く抑え、上下の配線間を接続する穴パターンの寸法精度を向上することができる技術を提供する。

【解決手段】 誘電率の低い酸化シリコン膜4によって構成された絶縁膜に上下の配線間を接続する穴パターン5を形成した後、この穴パターン5内に有機塗布膜6を埋め込み、次いで、酸化シリコン膜4に溝パターン8を形成する。有機塗布膜6のエッチング速度は酸化シリコン膜4のエッチング速度よりも遅いので、溝パターン8を形成する際、穴パターン5内に有機塗布膜6が柱状となって残り、穴パターン5の形状および寸法を維持することができる。



【特許請求の範囲】

【請求項1】 上層の配線と下層の配線とを接続する穴パターンおよび前記上層の配線が埋め込まれる溝パターンを有する多層配線を形成する半導体集積回路装置の製造方法であって、半導体基板上に堆積された絶縁膜に前記穴パターンを形成する工程と、前記半導体基板上に有機塗布膜を塗布した後、レジストパターンをマスクにして前記有機塗布膜および前記絶縁膜をエッチングして前記絶縁膜に前記溝パターンを形成する工程と、前記レジストパターンおよび前記有機塗布膜を除去する工程と、前記穴パターン内および前記溝パターン内に金属膜を埋め込み前記上層の配線を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項2】 半導体素子と配線とを接続する穴パターンおよび前記配線が埋め込まれる溝パターンを有する配線を形成する半導体集積回路装置の製造方法であって、半導体基板上に堆積された絶縁膜に前記穴パターンを形成する工程と、前記半導体基板上に有機塗布膜を塗布した後、レジストパターンをマスクにして前記有機塗布膜および前記絶縁膜をエッチングして前記絶縁膜に前記溝パターンを形成する工程と、前記レジストパターンおよび前記有機塗布膜を除去する工程と、前記穴パターン内および前記溝パターン内に金属膜を埋め込み前記配線を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項1または2記載の半導体集積回路装置の製造方法において、前記レジストパターンおよび前記有機塗布膜は、アッシャ処理によって同時に除去されることを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項1または2記載の半導体集積回路装置の製造方法において、前記絶縁膜の前記有機塗布膜に対するエッチング選択比が大きいことを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項1または2記載の半導体集積回路装置の製造方法において、前記絶縁膜は、酸化シリコン膜によって構成されることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項1または2記載の半導体集積回路装置の製造方法において、前記有機塗布膜は、アルカリ現像液に可溶なベースポリマに露光光吸収の染料が添加された膜であることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造方法に関し、特に、多層配線を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】近年、半導体集積回路装置の多層配線を形成する方法として、製造工程の簡略化または高性能化

を実現することができる埋め込み型（ダマシン；Damascene）プロセスの採用が検討されている。

【0003】なかでも、上層の配線が形成される溝パターンおよび上下の配線間を接続する穴パターンを絶縁膜に形成した後、上記溝パターンおよび上記穴パターンに同時に金属膜を埋め込むデュアルダマシン（Dual-Damascene）プロセスは、上層の配線を形成した後、絶縁膜を堆積し、次いで、絶縁膜の表面を平坦化する方式に比べて、大幅な製造工程の簡略化、低コスト化およびQ T A T（Quick Turn-and-Around-Time）化を実現することができる。

【0004】なお、デュアルダマシンプロセスについては、プレスジャーナル発行「月刊セミコンダクター・ワールド（Semiconductor World）」1995年12月号、p150～p155、またはアイ・ビー・エム・ジャーナル・オブ・アール・イー・エス・ディベロップ（IBM Journal of RES Develop. Vol.36, No.5, September, 1992）p845～p857などに記載がある。

【0005】次に、従来のデュアルダマシンプロセスの一例を図5および図6を用いて説明する。

【0006】まず、図5に示すように、半導体基板9上に下層の配線10を形成する。次に、半導体基板9上に形成された下層の配線10の上に第1の酸化シリコン膜11を堆積した後、窒化シリコン膜12を堆積し、次いで、レジストパターンをマスクにして上記窒化シリコン膜12をエッチングする。

【0007】次に、図6に示すように、半導体基板9上に第2の酸化シリコン膜13を堆積した後、レジストパターン14をマスクにして上層の配線（図示せず）を形成する領域の第2の酸化シリコン膜13をエッチングすることによって、溝パターン15を形成する。続いて、上記レジストパターン14および上記窒化シリコン膜12をマスクにして第1の酸化シリコン膜11をエッチングすることによって、上層の配線と下層の配線10とを接続するための穴パターン16を形成する。

【0008】次に、図示しないが、レジストパターン14を除去した後、半導体基板9上に金属膜を堆積し、次いで、化学的機械研磨（Chemical Mechanical Polishing；CMP）技術を用いて金属膜の表面を平坦化することによって、第2の酸化シリコン膜13に設けられた溝パターン15および第1の酸化シリコン膜11に設けられた穴パターン16に金属膜を埋め込み、上層の配線が形成される。

【0009】

【発明が解決しようとする課題】しかしながら、前記デュアルダマシンプロセスは、第1の酸化シリコン膜と第2の酸化シリコン膜との間に誘電率の高い窒化シリコン膜があるため、上層の配線または下層の配線の寄生容量が増加する。また、第1の酸化シリコン膜に穴パターンを形成する際のマスクに窒化シリコン膜を用いている

が、第1の酸化シリコン膜のエッチング時に上記酸化シリコン膜の端部が削れ、穴パターンの径が設計寸法よりも大きくなるという問題点があることを本発明者は見いだした。

【0010】本発明の目的は、デュアルダマシンプロセスによって形成される配線の寄生容量を低く抑えることができる技術を提供することにある。

【0011】本発明の他の目的は、上下の配線間を接続する穴パターンの寸法精度を向上することができる技術を提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0014】すなわち、本発明の半導体集積回路装置の製造方法は、まず、半導体基板上に下層の配線を形成する。次に、半導体基板上に酸化シリコン膜を堆積した後、この酸化シリコン膜に後に形成される上層の配線と下層の配線とを接続する穴パターンを形成し、次いで、半導体基板上に上記酸化シリコン膜よりもエッチング速度の遅い有機塗布膜を塗布する。次に、レジストパターンをマスクにして有機塗布膜および酸化シリコン膜をエッチングすることによって、後に上層の配線が埋め込まれる溝パターンを酸化シリコン膜に形成した後、レジストパターンおよび有機塗布膜をアッシャ処理によって除去し、次いで、穴パターン内および溝パターン内に金属膜を埋め込むことによって上層の配線を形成するものである。

【0015】上記した手段によれば、上層の配線と下層の配線との間の絶縁膜は、誘電率の低い酸化シリコン膜のみによって構成することができるので、上層の配線または下層の配線の寄生容量を低く抑えることができる。

【0016】また、上記した手段によれば、酸化シリコン膜に穴パターンを形成した後、酸化シリコン膜よりもエッチング速度の遅い有機塗布膜が穴パターン内に埋め込まれるので、この後、溝パターンを形成するために上記酸化シリコン膜をエッチングしても穴パターン内には有機塗布膜が柱状となって残り、穴パターンの形状および寸法を維持することが可能となる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0018】本発明の一実施の形態である多層配線の製造方法を図1～図4を用いて説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0019】まず、図1に示すように、半導体素子（図

示せず）が形成された半導体基板1上に半導体素子に接続された第1層目の配線2を形成する。なお、半導体素子と第1層目の配線2との間には、両者を絶縁するための絶縁膜3が形成されており、この絶縁膜3は、例えば、酸化シリコン膜および平坦化されたBP SG（Boron-doped Phospho Silicate Glass）膜からなる積層膜によって構成されている。

【0020】次に、半導体基板1上にTEOS（Tetra Ethyl Ortho Silicate; Si(OC₂H₅)₄）をソースとしたプラズマCVD（Chemical Vapor Deposition）法によって酸化シリコン膜4を堆積する。酸化シリコン膜4の厚さは、例えば、1.4 μmである。次いで、レジストパターン（図示せず）をマスクにして上記酸化シリコン膜4に、後に形成される第2層目の配線と第1層目の配線2とを接続するための穴パターン5を形成する。

【0021】次に、図2に示すように、半導体基板1上に有機塗布膜6を回転塗布法によって酸化シリコン膜4の表面および穴パターン5内に成膜する。有機塗布膜6は、例えば、フォトリソグラフィ工程で用いる反射防止（Anti-Reflective Coating; ARC）膜が用いられているが、これはアルカリ現像液に可溶なベースポリマに露光吸収の染料を添加したものである。酸化シリコン膜4上の有機塗布膜6の厚さは、例えば、0.1 μmである。

【0022】次に、図3に示すように、レジストパターン7をマスクにして有機塗布膜6および酸化シリコン膜4をエッチングする。このエッチングは、例えば、狭電極平行平板RIE（Reactive Ion Etching）装置を用い、エッチングガスCHF₃/CF₄、ガス流量CHF₃/CF₄/Ar=10/90/950 ml/min、圧力900 mTorrおよびrfパワー900 Wのエッチング条件で行われる。

【0023】上記エッチング条件での有機塗布膜6および酸化シリコン膜4のエッチング速度が、それぞれ303.9 nm/minおよび475.2 nm/minであることから、0.4 μmの深さの溝パターン8を形成すると、穴パターン5内の有機塗布膜6は、溝パターン8の底から0.26 μmの高さを有する柱状として残る。

【0024】次に、図4に示すように、半導体基板1にアッシャ処理を施すことによって、レジストパターン7を除去すると同時に、穴パターン5内および酸化シリコン膜4上の有機塗布膜6を除去する。

【0025】この後、図示はしないが、半導体基板1上に金属膜を堆積し、次いで、CMP法で金属膜の表面を研磨することによって穴パターン5および溝パターン8に金属膜を埋め込み、第2層目の配線を形成する。

【0026】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を

逸脱しない範囲で種々変更可能であることはいうまでもない。

【0027】たとえば、前記実施の形態では、多層配線における第2層目の配線の製造方法に適用した場合について説明したが、多層配線における第1層目の配線または第2層目よりも上層の配線の製造方法、ならびに単層配線の製造方法にも適用可能である。

【0028】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、
10 以下のとおりである。

【0029】本発明によれば、デュアルダマシンプロセスにおいて、誘電率の低い酸化シリコン膜によって上層の配線と下層の配線との間の絶縁膜を構成することができるので、配線の寄生容量を低く抑えることができる。

【0030】また、本発明によれば、穴パターンを形成した後溝パターンを形成しても、穴パターンに埋め込まれた有機塗布膜によって穴パターンの形状および寸法を維持することができるので、穴パターンの寸法精度を向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である多層配線の製造方法を示す半導体基板の要部断面図である。

【図2】本発明の一実施の形態である多層配線の製造方法を示す半導体基板の要部断面図である。

- 20 11 第1の酸化シリコン膜
12 窒化シリコン膜
13 第2の酸化シリコン膜
14 レジストパターン
15 溝パターン
* 16 穴パターン

*【図3】本発明の一実施の形態である多層配線の製造方法を示す半導体基板の要部断面図である。

【図4】本発明の一実施の形態である多層配線の製造方法を示す半導体基板の要部断面図である。

【図5】従来の多層配線の製造方法を示す半導体基板の要部断面図である。

【図6】従来の多層配線の製造方法を示す半導体基板の要部断面図である。

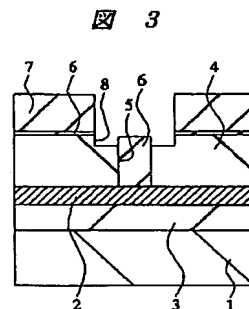
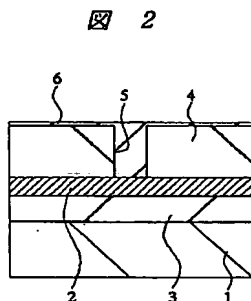
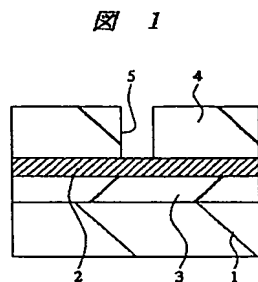
【符号の説明】

- 1 半導体基板
2 第1層目の配線
3 絶縁膜
4 酸化シリコン膜
5 穴パターン
6 有機塗布膜
7 レジストパターン
8 溝パターン
9 半導体基板

【図1】

【図2】

【図3】



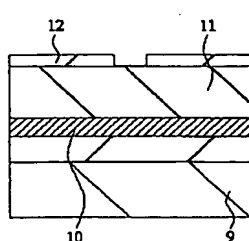
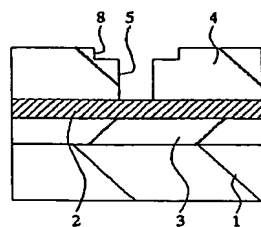
4: 酸化シリコン膜
5: 穴パターン
6: 有機塗布膜
8: 溝パターン

【図4】

【図5】

図 4

図 5



(5)

特開平10-223755

【図6】

